

PCT

ORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ :

G06F 17/14

A2

(11) Internationale Veröffentlichungsnummer: **WO 00/49518**

(43) Internationales
Veröffentlichungsdatum:

24. August 2000 (24.08.00)

(21) Internationales Aktenzeichen: PCT/DE00/00270

(22) Internationales Anmeldedatum: 1. Februar 2000 (01.02.00)

(30) Prioritätsdaten:

199 06 868.2

18. Februar 1999 (18.02.99)

DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BACHER, Martin [IT/AT]; Kärntnerstrasse 59, A-9500 Villach (AT).

(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).

(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht

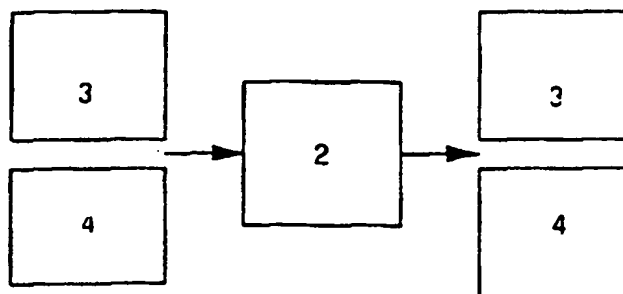
Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.

(54) Title: METHOD AND DEVICE FOR CALCULATING A DISCRETE ORTHOGONAL TRANSFORMATION SUCH AS FFT OR IFFT

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUM BERECHNEN EINER DISKRETEN ORTHOGONALEN TRANSFORMATION WIE FFT ODER IFFT

(57) Abstract

The invention relates to a method for calculating a discrete orthogonal transformation according to the DIT (decimation in time) procedure in predetermined intermediate steps. Said method comprises the following steps: a) reading the data from a paged memory; b) carrying out the intermediate step predetermined by the transformation; c) saving the resulting data in an intermediate memory; and d) writing page by page the resulting data from the intermediate memory into the paged memory. The discrete orthogonal transformations can be FFT, IFFT, DCT, IDCT and structurally similar transformations.



(57) Zusammenfassung

Ein Verfahren zum Berechnen einer orthogonalen diskreten Transformation nach dem DIT-Verfahren in vorgegebenen Zwischenschritten weist die folgenden Schritte auf: a) Lesen der Daten aus einem seitenweise organisierten Speicher; b) Durchführen des durch die Transformation vorgegebenen Zwischenschritts; c) Speichern der resultierenden Daten in einen Zwischenspeicher; und d) seitenweises Schreiben der resultierenden Daten aus dem Zwischenspeicher in den seitenweise organisierten Speicher. Als diskrete orthogonale Transformationen kommen FFT, IFFT, DCT, IDCT und strukturell ähnliche Transformationen in Frage.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshjan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko		
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

Beschreibung

Verfahren und Vorrichtung zum Berechnen einer diskreten orthogonalen Transformation wie FFT oder IFFT

5

Die Erfindung betrifft ein Verfahren und eine Schaltung zur Berechnung der Fast-Fourier-Transformation sowie der dazu inversen Transformation, im folgenden als FFT und IFFT bezeichnet, oder ähnlich strukturierter Transformationen, d.h. diskrete orthogonale Transformationen.

10

Die FFT und IFFT sind in der Nachrichtentechnik äußerst wichtige Transformationen, da sie beispielsweise die Beschreibung eines Sachverhalts im Zeitbereich in eine solche im Frequenzbereich transformieren und umgekehrt.

15

In der digitalen Signalverarbeitung wird häufig eine sog. N-Punkt diskrete Fourier-Transformation, im folgenden als DFT bezeichnet, berechnet, die wie folgt definiert ist:

20

$$X(k) = \sum_{n=0}^{N-1} x(n) w^{nk} \quad k = 0, 1, \dots, N-1$$

mit $w = e^{-j}2\pi/N$

Die Komplexität der Berechnung der DFT ist proportional zu $O(N^2)$. Durch die Anwendung der FFT kann die Komplexität der Berechnung auf $O((N \log(N)))$ reduziert werden. Dies geschieht durch eine hierarchische Aufteilung der Berechnung in Transformationen kürzerer Folgen.

30

Zur Berechnung der FFT existieren zwei grundlegende Algorithmen. Der eine wird "Decimation in Frequency" (DIF), der andere "Decimation in Time" (DIT) genannt. Im folgenden wird beispielhaft der DIT-Algorithmus behandelt.

35

Zur Berechnung der FFT wird bevorzugt die sog. "in-place"-Variante verwendet, bei der errechnete Zwischenergebnisse der Butterfly-Berechnung in denselben Speicher geschrieben werden, von wo sie wiederum gelesen und weiterverwendet werden, wie dies in der Fig. 1 dargestellt ist. Dadurch wird ein besonders sparsamer Umgang mit dem Speicher erreicht.

In der Fig. 2 ist der Berechnungsvorgang der "in-place"-Variante für $N = 8$ in der Form eines Signalflußgraphen dargestellt. Wie aus der Fig. 2 hervorgeht, müssen die Daten am Anfang der Berechnung im Speicher in einer bestimmten Anordnung vorliegen, die üblicherweise als "bit-reversed" bezeichnet wird. Am Ende der Berechnung kann das Ergebnis linear ausgelesen werden. Die Berechnung selbst geschieht in mehreren Stufen, wie es im Signalflußgraphen der Fig. 2 dargestellt ist. Im genannten Beispiel sind drei Stufen notwendig. Es werden jeweils 2 Daten aus dem Speicher ausgelesen, anschließend wird der Butterfly berechnet und die beiden Resultate werden wieder in dieselben Stellen im Speicher zurückgeschrieben. Dabei liegen die Daten aber nicht unbedingt in benachbarten Speicherstellen. Ferner unterscheidet sich die Berechnung von einer Stufe zur nächsten.

Wird die FFT in integrierten Schaltkreisen realisiert, so wird die Komplexität vor allem durch den verwendeten Speicher bestimmt. Dabei sind große Speicher üblicherweise seitenweise aufgebaut, wodurch der Zugriff auf eine Speicherzelle innerhalb einer solchen Seite sehr schnell ist, beispielsweise ist ein derartiger Speicherzugriff innerhalb eines Taktes durchführbar. Der Wechsel von einer Seite auf eine andere dauert aber wesentlich länger, d.h. mehrere Takte. Bei seitenorientierten Speichern kann man den Durchsatz erhöhen, indem man eine Seite eines Speichers möglichst vollständig bearbeitet und erst dann wieder die Seite wechselt, weil Adressen der anderen Seite benötigt werden. Allerdings werden bei der oben genannten "in-place"-FFT die Daten prinzipiell sehr ungeordnet benötigt. Kleine Speicher haben diesen Nachteil nicht, da

hier der Zugriff auf die einzelnen Zellen uneingeschränkt möglich ist.

5 Daher wird die Geschwindigkeit der FFT vor allem durch die Schnittstelle zum Speicher begrenzt.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren und eine Vorrichtung zur Berechnung diskreter orthogonaler Transformationen, insbesondere der FFT und IFFT, zu schaffen,
10 womit eine schnellere Berechnung möglich ist.

Die Aufgabe wird durch die Merkmale der unabhängigen Ansprüche gelöst. Bevorzugte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

15

Das erste erfindungsgemäße Verfahren zum Berechnen einer orthogonalen diskreten Transformation nach dem DIT-Verfahren in vorgegebenen Zwischenschritten, wobei unter einem Zwischenschritt die Addition sowie Multiplikation einer Verarbeitungsstufe zu verstehen ist, umfaßt die folgenden Schritte:

- 20 a) Lesen der Daten aus einem seitenweise organisierten Speicher,
b) Durchführen des durch die Transformation vorgegebenen Zwischenschritts,
25 c) Speichern der resultierenden Daten in einem Zwischenspeicher, und
d) Seitenweises Schreiben der resultierenden Daten aus dem Zwischenspeicher in den seitenweise organisierten Speicher.

30 Das erfindungsgemäße Verfahren zum Berechnen einer orthogonalen diskreten Transformation nach dem DIF-Verfahren in vorgegebenen Zwischenschritten weist die folgenden Schritte auf:

- a) Lesen der Daten aus einem seitenweise organisierten Speicher,
35 b) Speichern der Daten in einem Zwischenspeicher,
c) Durchführen des durch die Transformation vorgegebenen Zwischenschritts, und

d) Seitenweises Schreiben der resultierenden Daten aus dem Zwischenspeicher in den seitenweise organisierten Speicher.

Ein drittes erfindungsgemäßes Verfahren zum Berechnen einer orthogonalen diskreten Transformation in vorgegebenen Zwischenschritten weist die folgenden Schritte auf:

a) Lesen der Daten aus zwei seitenweise organisierten Speichern, so daß das Lesen seitenweise organisiert ist,

b) Durchführen des durch die Transformation vorgegebenen Zwischenschritts, und

c) Seitenweises Schreiben der resultierenden Daten in die beiden seitenweise organisierten Speicher.

Als diskrete orthogonale Transformation kommen beispielsweise eine FFT, IFFT, DCT oder IDCT sowie schematisch ähnlich organisierte Transformationen in Frage.

Vorzugsweise weisen die Transformation eine identische Geometrie für jede Stufe auf, was die Adressierung der Resultate erleichtert. Beispielsweise ist diese Bedingung für eine FFT oder IFFT nach Singleton erfüllt.

Entsprechend den obigen Verfahren weisen die erfindungsgemäßen Vorrichtungen

einen seitenweise organisierten Speicher, eine Recheneinheit und einen nach der Recheneinheit angeordneten direkt organisierten Speicher, oder

einen seitenweise organisierten Speicher, eine Recheneinheit und einen vor der Recheneinheit angeordneten direkt organisierten Zwischenspeicher, oder

zwei seitenweise organisierten Speicher und eine Recheneinheit auf.

Dabei realisiert die Recheneinheit eine sog. Butterfly.

Bevorzugte Ausführungsformen der Erfindung werden nachfolgend anhand der Zeichnungen erläutert.

Fig. 1 zeigt das Schema der Berechnung einer "in place"-FFT,

Fig. 2 zeigt den Signalflußgraphen einer "in place"-FFT für
5 N = 8,

Fig. 3 zeigt den Signalflußgraphen einer "Singleton"-FFT für
N = 8,

10 Fig. 4 zeigt eine erste Ausführungsform zur Berechnung einer
FFT, und

Fig. 5 zeigt eine zweite Ausführungsform zur Berechnung einer
FFT nach dem DIT-Verfahren.

15

Fig. 1 zeigt die oben bereits erwähnte übliche "in-place"-Be-
rechnung einer FFT, wobei aus einem Speicher 1, üblicherweise
eine DRAM ein Datenpaar gelesen wird, in einer Butterfly-Ein-
heit 2 verknüpft und wieder in den Speicher 1 geschrieben
20 werden.

Fig. 2 zeigt den grundlegenden DIT-Algorithmus einer FFT-Be-
rechnung für N = 8. Die Daten $x(0)$ bis $x(7)$ müssen zur Be-
rechnung am Anfang "bit-reversed" im Speicher vorliegen. Dar-
25 gestellt ist der Signalflußgraph zur Berechnung der 8 Fou-
rierkomponenten $X(0) - X(7)$. Der Algorithmus sowie der Si-
gnalflußgraph ist A.V.Oppenheim, R.W.Schafer: "Digital Signal
Processing", Prentice-Hall Inc., Englewood Cliffs, New Jer-
sey, USA, 1975, S. 285 ff, beschrieben, so daß hier nicht nä-
30 her darauf eingegangen werden braucht. Hinsichtlich der No-
menklatur werden die Faktoren w^0 , w^1 und w^2 auch als Twiddle-
Faktoren bezeichnet.

Fig. 3 zeigt einen FFT-Algorithmus mit einer veränderten Ab-
35 folge der Rechenoperationen, den sog. Singleton-Algorithmus,
der in der oben genannten Literaturstelle Oppenheimer-Schafer
auf S. 301 beschreiben ist, und der in dem erfindungsgemäßen

Verfahren verwendet wird. Es ist deutlich zu erkennen, daß die Daten sehr regelmäßig abgearbeitet werden, allerdings wird keine "in place"- Verarbeitung durchgeführt. Es wird daher der doppelte Speicherplatz im Vergleich zur "in place"-
5 Berechnung benötigt.

Vorteilhafterweise ist die Berechnung in jeder Stufe völlig gleich aufgebaut, mit Ausnahme der Twiddle-Faktoren. D.h. die Stufen des beispielhaften Algorithmus einer FFT für $N = 8$
10 weisen eine identische Geometrie auf. Nach Abarbeitung einer Stufe wird vom zuletzt geschriebenen Speicher gelesen und in einen anderen Speicher geschrieben.

Der Speicher kann linear gelesen werden. Ein lineares Schreiben ist bei dem Algorithmus jedoch noch nicht möglich, da immer ein Ergebnis in der oberen Hälfte (volle Linie) und ein Ergebnis in der unteren Hälfte (gestrichelte Linie) gespeichert werden muß. Allerdings kann in der oberen bzw. unteren
15 Hälfte linear geschrieben werden.

20 Fig. 4 zeigt eine schematische Darstellung einer ersten erfindungsgemäßen Ausführungsform zur schnellen Berechnung eines Algorithmus, der ein ähnliches oder gleiches Schema wie der in Fig. 3 dargestellt Singleton-Algorithmus aufweist.
25 Eine derartige Vorrichtung, die sowohl zur DIF- als auch DIT-Berechnung geeignet ist, ist der zur Berechnung notwendige Speicher in zwei gleich große seitenorientierte Speicher 3, 4 unterteilt, die als DRAMs ausgelegt sind (DRAM = Dynamischer RAM). Durch die Verwendung von zwei seitenorientierten Speichern 1 und 2 kann jeder Speicher in sich linear geschrieben
30 werden, d.h. es wird jeweils ein Speicher für die obere und untere Hälfte des Algorithmus nach Fig. 3 verwendet so daß die Anzahl der langsamen Seitenwechsel gering ist. Allerdings verdoppelt sich die Anzahl der Speicher und diejenige der
35 Schnittstellen.

Eine, in der Fig. 5 dargestellt zweite Ausführungsform zur schnellen Berechnung einer DIT-Transformation wie die der Fig. 3 ist die Verwendung eines kleinen schnellen Speichers 5, der nach der Butterfly 2 angeordnet ist. Dort werden einige Zwischenergebnisse der Berechnung zwischengespeichert, um sie dann ohne ständigen Seitenwechsel in den seitenorientierten Speicher 1 zu schreiben. Die Berechnung verläuft nun, indem aus dem Speicher 1 zwei Daten gelesen, der Butterfly zugeführt und die Zwischenergebnisse im schnellen SRAM-Speicher 5 (SRAM = Statisches RAM) gespeichert werden. Die Zwischenergebnisse werden dann seitenweise in den seitenorientierten Speicher 1 geschrieben.

Bei einer Berechnung nach dem DIF-Verfahren sitzt der statische schnelle Speicher 5 am Eingang der Butterfly 2 (nicht dargestellt). Ansonsten ist die Funktionsweise analog zu derjenigen der erläuterten DIT-Variante.

Die folgende Tabelle 1 soll das Adressierungsschema der Berechnung mittels Zwischenspeicherung verdeutlichen:

Tabelle 1

DRAM (RD)	Butterfly	SRAM (WR)	SRAM (RD)	DRAM (WR)
0	0	0		
1	16	8		
2	1	1		
3	17	9		
4	2	2	0	0
5	18	10	1	1
6	3	3	2	2
7	19	11	3	3
8	4	4	8	16
9	20	12	9	17
10	5	5	10	18
11	21	13	11	19
12	6	6	4	4

8

13	22	14	5	5
14	7	7	6	6
15	23	15	7	7
16	8	0	12	20
17	24	8	13	21
18	9	1	14	22
19	25	9	15	23
20	10	2	0	8
21	26	10	1	9
22	11	3	2	10
23	27	11	3	11
24	12	4	8	24
25	28	12	9	25
26	13	5	10	26
27	29	13	11	27
28	14	6	4	12
29	30	14	5	13
30	15	7	6	14
31	31	15	7	15
			12	28
			13	29
			14	30
			15	31

In dem Beispiel hat der seitenorientierte Speicher eine Tiefe von $N = 32$, so daß eine FFT mit 32 Punkten berechnet werden kann. Eine Seite des langsamen seitenorientierten Speichers habe beispielsweise $P = 4$ Adressen und der verwendete schnelle Speicher sei $S = 4 \cdot P = 16$ Adressen groß. Die Daten können linear in der Reihenfolge 0, 1, 2, ... gelesen werden. Beispielsweise wird zur Bearbeitung durch die Butterfly die Daten der DRAM Adressen 0 und 1 gelesen (RD). Es ergeben sich durch die Zwischenergebnisse der Butterfly Adressen 0 und 16. Diese werden in die Adressen 0 und 8 des schnellen Zwischenspeichers SRAM geschrieben (WR). Mit einer Verzögerung, die zum teilweisen Füllen des Speichers benötigt wird, werden die

Daten seitenweise linear ausgelesen, also in der Tabelle 1 unter SRAM (RD) die Adressen 0-3, anschließend 8-11, usw. Der Inhalt dieser SRAM-Adressen wird in die entsprechenden, durch die Transformation bedingten Adressen des langsamen seitenorientierten Speichers (Spalte DRAM (WR)) seitenweise linear geschrieben, also im Beispiel nach 0-3, 16-19, 4-7 usw. Durch die Verwendung des kleinen schnellen Speichers wird daher der Zugriff auf den seitenorientierten Speicher DRAM derart optimiert, daß möglichst wenige langsame Seitenwechsel notwendig sind.

Die obengenannten und erläuterten Transformationen sowie Speichergrößen dienen nur zur Erläuterung. In der Praxis ist der langsame Speicher wesentlich größer als der schnelle Speicher. Beispielsweise ist üblicherweise der langsame Speicher für $N = 8192$ ausgelegt, wobei der langsame Speicher eine Seitengröße von $P = 16$ aufweist. Daher hat der kleine Speicher eine Größe von 64 Adressen. In einer integrierten Realisierung fällt der schnelle kleine Speicher daher flächenmäßig kaum ins Gewicht, allerdings wird die Berechnung der FFT oder IFFT oder ähnlicher diskreter orthogonaler Transformationen durch die Minimierung der Seitenwechsel des langsamen Speichers erheblich beschleunigt.

25 Bezugszeichenliste

- | | |
|------|-----------------------------|
| 1 | seitenorientierter Speicher |
| 2 | Butterfly |
| 3 | seitenorientierter Speicher |
| 30 4 | seitenorientierter Speicher |
| 5 | schneller Speicher |

Patentansprüche

1. Verfahren zum Berechnen einer orthogonalen diskreten Transformation nach dem DIT-Verfahren in vorgegebenen Zwischenschritten,
5 dadurch gekennzeichnet, daß
- a) die Daten aus einem seitenweise organisierten Speicher (1) gelesen werden,
 - b) der durch die Transformation vorgegebene Zwischenschritt
10 durchgeführt wird,
 - c) die resultierenden Daten in einen Zwischenspeicher (5) abgespeichert werden, und
 - d) die resultierenden Daten aus dem Zwischenspeicher (5) seitenweise in den seitenweise organisierten Speicher (1) ge-
15 schrieben werden.
2. Verfahren zum Berechnen einer orthogonalen diskreten Transformation nach dem DIF-Verfahren in vorgegebenen Zwischenschritten,
20 dadurch gekennzeichnet, daß
- a) die Daten aus einem seitenweise organisierten Speicher (1) gelesen werden,
 - b) die Daten in einen Zwischenspeicher (5) abgespeichert werden,
 - 25 c) der durch die Transformation vorgegebene Zwischenschritt durchgeführt wird, und
 - d) die resultierenden Daten seitenweise in den seitenweise organisierten Speicher (1) geschrieben werden.
- 30 3. Verfahren zum Berechnen einer orthogonalen diskreten Transformation in vorgegebenen Zwischenschritten,
dadurch gekennzeichnet, daß
- die Daten derart aus zwei seitenweise organisierten Speicher (3, 4) gelesen werden, daß das Lesen seitenweise organisiert
35 ist,
- der durch die Transformation vorgegebene Zwischenschritt durchgeführt wird, und

die resultierenden Daten wieder seitenweise in die beiden seitenweise organisierten Speicher (3, 4) geschrieben werden.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die diskrete orthogonale Transformation durch eine FFT, IFFT, DCT oder IDCT gebildet wird.
5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß die Transformation eine identische Geometrie für jede Stufe aufweist.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß eine FFT oder IFFT nach Singleton verwendet wird.
- 15 7. Vorrichtung zur Durchführung des Verfahrens nach einem der Ansprüche 1, 4-6,
dadurch gekennzeichnet, daß
die Vorrichtung einen seitenweise organisierten Speicher (1),
eine Recheneinheit (2) und einen nach der Recheneinheit ange-
20ordneten direkt organisierten Speicher (5) aufweist.
8. Vorrichtung zur Durchführung des Verfahrens nach einem der Ansprüche 2, 4-6,
dadurch gekennzeichnet, daß
25 die Vorrichtung einen seitenweise organisierten Speicher (1),
eine Recheneinheit (2) und einen vor der Recheneinheit ange-
ordneten direkt organisierten Zwischenspeicher (5) aufweist.
9. Vorrichtung nach einem der Ansprüche 7 oder 8, da-
30durch gekennzeichnet, daß der seitenorientierte Speicher (1) im Verhältnis zu dem direkt organisierten Zwischenspeicher (5) ein großer Speicher ist.
10. Vorrichtung nach Anspruch 9, dadurch gekenn-
35zeichnet, daß für den Zwischenspeicher (5) ein schneller Speicher verwendet wird.

12

11. Vorrichtung nach einem der Ansprüche 7- 10, dadurch gekennzeichnet, daß der seitenorientierte Speicher (1) ein DRAM und der Zwischenspeicher (5) ein SRAM ist.

5 12. Vorrichtung nach einem der Ansprüche 7 - 11, dadurch gekennzeichnet, daß der seitenorientierte Speicher (1) eine Größe von 8 K Adressen und der Zwischenspeicher (5) eine Größe von 32 - 64 Adressen hat.

10 13. Vorrichtung zur Durchführung des Verfahrens nach einem der Ansprüche 3, 4-6,
dadurch gekennzeichnet, daß
die Vorrichtung zwei seitenweise organisierten Speicher (3, 4) und eine Recheneinheit (2) aufweist.

15 14. Vorrichtung nach Anspruch 13, dadurch gekennzeichnet, daß die seitenorientierten Speicher (3, 4) gleich groß sind.

20 15. Vorrichtung nach Anspruch 14, dadurch gekennzeichnet, daß der seitenorientierte Speicher (3, 4) eine Größe von 4K Adressen aufweist.

25 16. Vorrichtung nach einem der Ansprüche 7 - 15, dadurch gekennzeichnet, daß die Recheneinheit (2) durch einen Butterfly realisiert.

1 / 2

Fig. 1

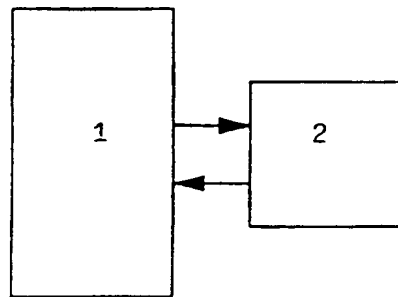
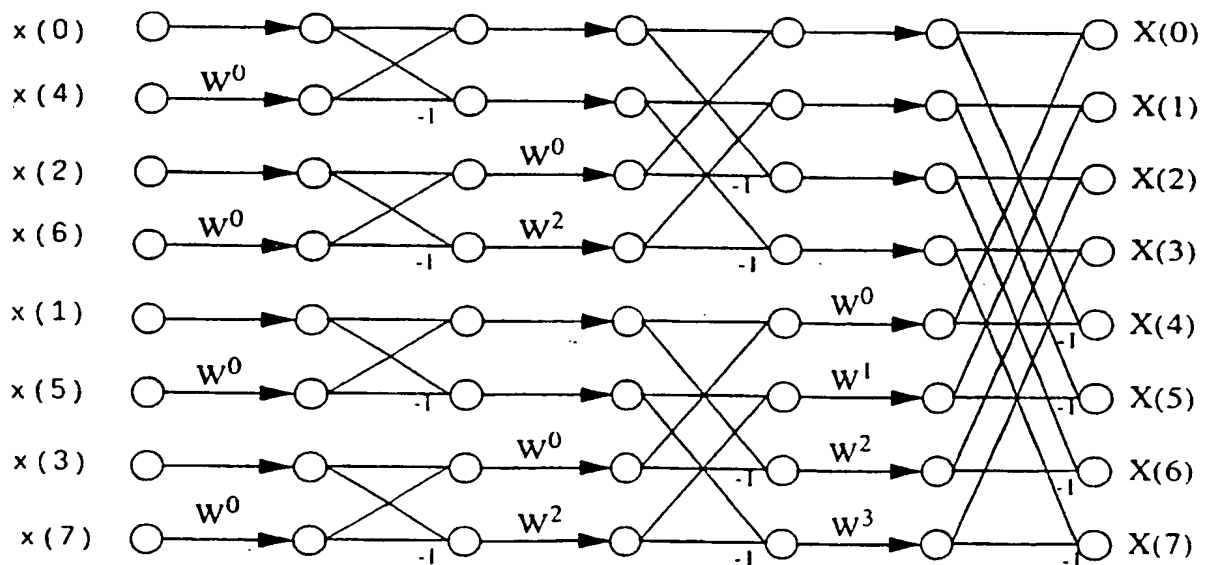


Fig. 2



This Page Blank (uspto)

2 / 2
Fig. 3

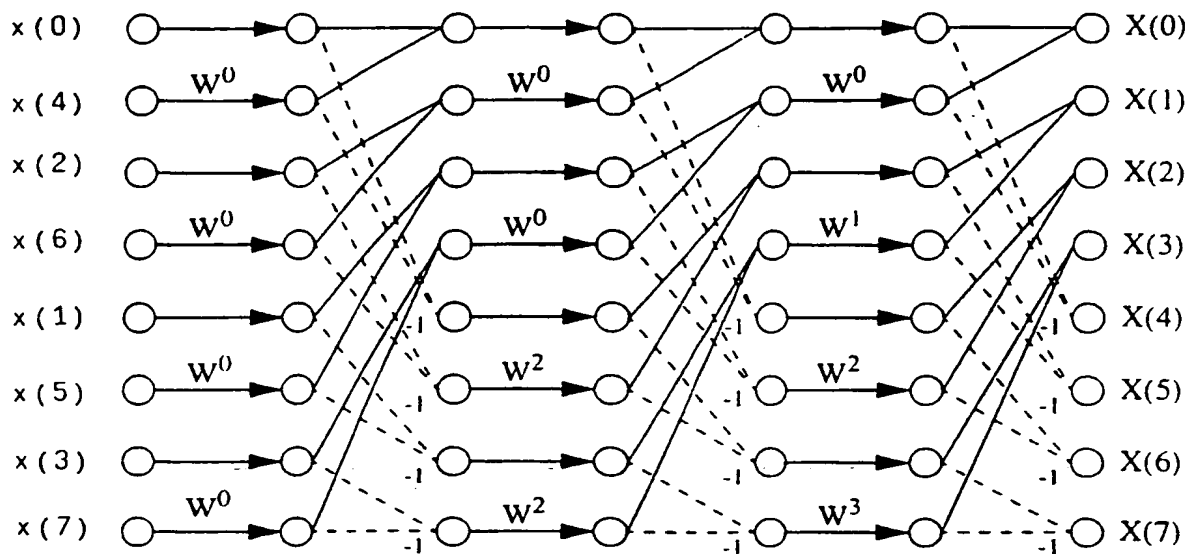


Fig. 4

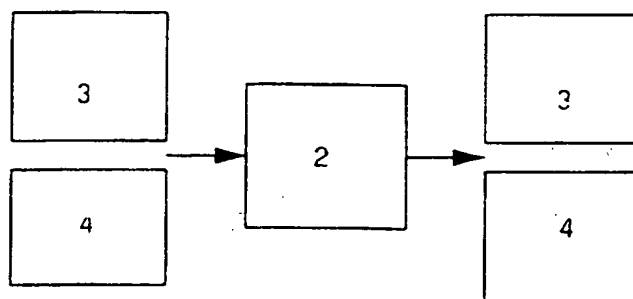
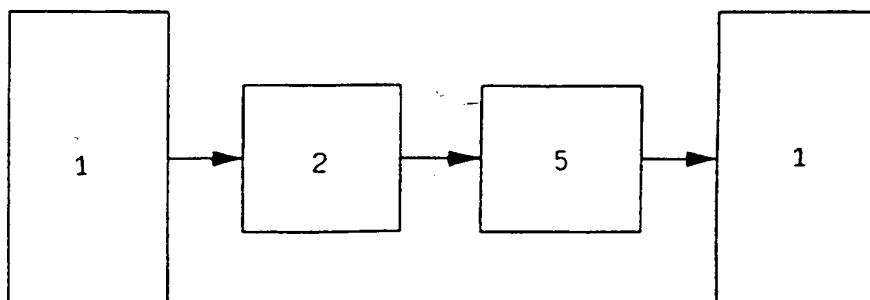


Fig. 5



This Page Blank (uspto)